



09-17-03

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): **Furumiya et al.**

Application No.: **10/600,104**

Filed: **06/20/2003**

Title: **Semiconductor Integrated Circuit
and Method of Manufacturing the
Same**

Attorney Docket No.: **N18347102E**

Group Art Unit: **2811**

Examiner: **N/A**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313

**FILING OF CERTIFIED COPY OF FOREIGN APPLICATION
TO ESTABLISH FOREIGN PRIORITY**

Sir:

Enclosed herewith please find:


- 1) A certified copy of a Japanese Foreign Application corresponding to the above-referenced U.S. application.

I hereby certify that this is being deposited with the U.S. Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated below and is addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.

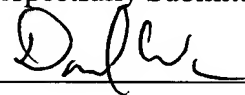
Date of Deposit: _____ September 16, 2003 _____

Express Mail Label No.: _____ EU440525529US _____

Typed/Printed Name: _____ Darryl G. Walker _____

Signature: _____  _____

Respectfully Submitted,

_____ 

By Darryl G. Walker

Attorney/Agent for Applicant(s)
Reg. No. 43232

Date: _____ September 16, 2003 _____

Telephone No.: **1-408-289-5314**

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月24日

出 願 番 号

Application Number:

特願2002-183471

[ST.10/C]:

[JP2002-183471]

出 願 人

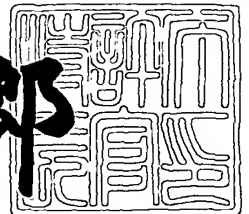
Applicant(s):

NECエレクトロニクス株式会社

2003年 6月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3047951

【書類名】 特許願

【整理番号】 74112688

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/04

【発明の名称】 半導体集積回路及びその製造方法

【請求項の数】 19

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 冨留宮 正之

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 山本 良太

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100090158

 【弁理士】

 【氏名又は名称】 藤巻 正憲

 【電話番号】 03-3433-4221

【手数料の表示】

 【予納台帳番号】 009782

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9715181

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路及びその製造方法

【特許請求の範囲】

【請求項 1】 基板上に設けられたインダクタと、前記基板の表面に垂直な方向から見て前記インダクタの内部に設けられた第 1 の金属層と、この第 1 の金属層上に選択的に設けられた強磁性体層と、この強磁性体層の上面及び側面を覆うように設けられた第 2 の金属層と、を有し、前記第 1 の金属層の下面は前記インダクタの下面と同一高さ又はそれよりも低く、前記第 2 の金属層の上面は前記インダクタの上面と同一高さ又はそれよりも高く、前記強磁性体層の下面は前記インダクタの上面よりも低く、前記インダクタの上面は前記インダクタの下面よりも高いことを特徴とする半導体集積回路。

【請求項 2】 前記基板の表面に垂直な方向から見て、前記強磁性体層が複数の部分に分割されていることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】 前記基板上に多層配線層が設けられており、前記インダクタ並びに前記第 1 の金属層、強磁性体層及び第 2 の金属層からなる積層膜は、前記多層配線層の最上層に形成されていることを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 4】 前記インダクタ、前記第 1 の金属層及び前記第 2 の金属層が銅又はアルミニウムにより形成されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体集積回路。

【請求項 5】 基板上に設けられたインダクタと、前記基板の表面に垂直な方向から見て、前記インダクタと重ならず前記インダクタを囲むように設けられた強磁性体層と、を有することを特徴とする半導体集積回路。

【請求項 6】 前記強磁性体層が前記インダクタの周回方向において断続的に配置されていることを特徴とする請求項 5 に記載の半導体集積回路。

【請求項 7】 前記基板上に多層配線層が設けられており、前記強磁性体層は、前記インダクタと同層又は前記インダクタが形成されている層に隣接する層に形成されていることを特徴とする請求項 5 又は 6 に記載の半導体集積回路。

【請求項 8】 基板上に設けられたインダクタと、前記インダクタの上方又

は下方に配置された複数の短冊状の強磁性体層と、を有し、前記基板の表面に垂直な方向から見て、前記複数の短冊状の強磁性体層はその長手方向が前記インダクタの中心から周囲に向かう方向に沿うように放射状に配置されていることを特徴とする半導体集積回路。

【請求項 9】 前記基板上に多層配線層が設けられており、前記強磁性体層は、前記インダクタが形成されている層に隣接する層に形成されていることを特徴とする請求項 8 に記載の半導体集積回路。

【請求項 10】 基板上に設けられたインダクタと、このインダクタを覆うように設けられた絶縁体層と、この絶縁体層上における前記インダクタの内部の直上域を含む領域に設けられた強磁性体層と、前記強磁性層を形成する材料からなり前記絶縁体層上における前記インダクタの直上域から外れた領域に前記強磁性体層と同層に設けられたパッドと、を有することを特徴とする半導体集積回路。

【請求項 11】 前記基板の表面に垂直な方向から見て、前記強磁性体層が前記インダクタを覆うように設けられていることを特徴とする請求項 10 に記載の半導体集積回路。

【請求項 12】 前記基板上に多層配線層が設けられており、前記強磁性体層及びパッドは、前記多層配線層の最上層に形成されていることを特徴とする請求項 10 又は 11 に記載の半導体集積回路。

【請求項 13】 前記インダクタがスパイラルインダクタであることを特徴とする請求項 1 乃至 12 のいずれか 1 項に記載の半導体集積回路。

【請求項 14】 前記強磁性体層がニッケルにより形成されていることを特徴とする請求項 1 乃至 13 のいずれか 1 項に記載の半導体集積回路。

【請求項 15】 前記インダクタが銅又はアルミニウムにより形成されていることを特徴とする請求項 5 乃至 14 のいずれか 1 項に記載の半導体集積回路。

【請求項 16】 基板上に第 1 の金属層を形成する工程と、この第 1 の金属層上に選択的に強磁性体層を形成する工程と、この選択的に形成された強磁性体層を覆うように第 2 の金属層を形成する工程と、前記第 1 及び第 2 の金属層を選択的に除去してパターニングし、前記第 1 の金属層、前記強磁性体層及び前記第

2の金属層が積層されてなる積層膜を形成すると共にこの積層膜と同層でありこの積層膜を囲むように配置されたインダクタを形成する工程と、を有することを特徴とする半導体集積回路の製造方法。

【請求項17】 前記第1の金属層を形成する工程の前に、前記基板の表面における前記積層膜を形成する予定の領域にその深さが前記第1の金属層と前記強磁性体層の合計膜厚よりも小さい凹部を形成する工程を有することを特徴とする請求項16に記載の半導体集積回路の製造方法。

【請求項18】 基板上にインダクタを形成する工程と、このインダクタを覆うように絶縁体層を形成する工程と、この絶縁体層上に強磁性体からなる膜を形成する工程と、この膜を選択的に除去してパターニングし、前記絶縁体層上における前記インダクタの内部の直上域を含む領域に強磁性体層を形成すると共に前記絶縁体層上における前記インダクタの直上域から外れた領域にパッドを形成する工程と、を有することを特徴とする半導体集積回路の製造方法。

【請求項19】 前記強磁性体層をニッケルにより形成することを特徴とする請求項16乃至18のいずれか1項に記載の半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はインダクタを備えた半導体集積回路及びその製造方法に関し、特に、インダクタのインダクタンス及びQ値の向上を図った半導体集積回路及びその製造方法に関する。

【0002】

【従来の技術】

図14は従来の半導体集積回路を示す平面図であり、図15は図14に示すE-E線による断面図である。図14及び図15に示すように、この従来の半導体集積回路においては、半導体基板（図示せず）上に多層配線層101が設けられており、この多層配線層101の最上層102に、スパイラルインダクタであるインダクタ103が設けられている。即ち、多層配線層101中に設けられたSiO₂からなる絶縁層104上に、1本の配線が渦巻状に配置されたインダクタ

103が設けられており、このインダクタ103を覆うようにSiO₂からなる絶縁層105が設けられている。そして、絶縁層105上にはポリイミドからなる絶縁層106が設けられている。なお、図14においては、絶縁層105及び106は図示を省略されている。

【0003】

そして、インダクタ103を構成する配線は、銅又はアルミニウムからなる配線本体層107の上面及び下面に、TiW層108が被覆されて形成されている。このように、インダクタ103を多層配線層101の最上層102に設ける理由は、インダクタ103と半導体基板との間の寄生容量を可及的に少なくすると共に、インダクタ103の配線の厚さを可及的に厚くして直列抵抗を下げ、インダクタ103のQ値を向上させるためである。

【0004】

しかしながら、この従来の半導体集積回路においては、以下に示す問題点がある。インダクタ103を多層配線層101の最上層102に配置しても、最上層102の厚さは最大で10 μ m程度であるため、インダクタ103の厚さは数 μ mが上限である。このため、インダクタンスの損失が大きく、Q値が5乃至10程度と低かった。また、例えば10nHのインダクタンスを得るためには、インダクタ103の大きさを、一辺の長さが200乃至300 μ mの正方形のスパイラル（渦巻）とする必要があり、インダクタ103の占有面積が極めて大きくなった。これにより、半導体集積回路の微細化が阻害されていた。

【0005】

そこで、実開平3-28758号公報には、インダクタの上層に強磁性体層を設ける技術が開示されている。実開平3-28758号公報において、この強磁性体層は、配線がなす渦巻の内部に相当する領域の直上域に設けられている。また、実開平4-63653号公報には、インダクタの上方又は下方に、強磁性体層を設ける技術が開示されている。実開平4-63653号公報においては、基板の表面に垂直な方向から見て、強磁性体層はインダクタを覆うように設けられている。更に、特開昭61-161767号公報にも、インダクタの上方に強磁性体層を設ける技術が開示されている。特開昭61-161767号公報には、

強磁性体層を設けることにより、インダクタのインダクタンスが増大すると記載されている。

【0006】

【発明が解決しようとする課題】

しかしながら、上述の従来技術には以下に示すような問題点がある。実開平3-28758号公報、実開平4-63653号公報及び特開昭61-161767号公報に記載されている半導体集積回路においても、インダクタのインダクタンス及びQ値の大きさが不十分であり、所定のインダクタンスを得るためには大きな面積のインダクタを必要とする。この結果、半導体集積回路の微細化を十分に図ることができない。

【0007】

本発明はかかる問題点に鑑みてなされたものであって、インダクタのインダクタンス及びQ値が高く、小型化が可能な半導体集積回路及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明に係る半導体集積回路は、基板上に設けられたインダクタと、前記基板の表面に垂直な方向から見て前記インダクタの内部に設けられた第1の金属層と、この第1の金属層上に選択的に設けられた強磁性体層と、この強磁性体層の上面及び側面を覆うように設けられた第2の金属層と、を有し、前記第1の金属層の下面は前記インダクタの下面と同一高さ又はそれよりも低く、前記第2の金属層の上面は前記インダクタの上面と同一高さ又はそれよりも高く、前記強磁性体層の下面は前記インダクタの上面よりも低く、前記インダクタの上面は前記インダクタの下面よりも高いことを特徴とする。

【0009】

本発明においては、インダクタの内部に、第1の金属層、強磁性体層及び第2の金属層からなる積層膜を設けている。そして、強磁性体層がインダクタの磁芯として作用し、インダクタのインダクタンス及びQ値を向上させることができる。また、強磁性体層を第1及び第2の金属層で被覆することにより、強磁性体層

を形成する材料が半導体集積回路内の他の領域に拡散することを防止すると共に、この材料が半導体集積回路の製造装置を汚染することを防止できる。更に、強磁性体層の下面をインダクタの上面よりも低くし、強磁性体層の上面をインダクタの下面よりも高くすることにより、強磁性体層の少なくとも一部がインダクタと同層になり、インダクタのインダクタンス及びQ値をより一層向上させることができる。更にまた、積層膜の下面、即ち第1の金属層の下面が、インダクタの下面と同一高さ又はそれよりも低く、積層膜の上面、即ち第2の金属層の上面が、インダクタの上面と同一高さ又はそれよりも高いため、積層膜の上面及び下面とインダクタとの間に寄生容量が発生せず、インダクタのインダクタンス及びQ値をより一層向上させることができる。

【 0 0 1 0 】

また、本発明に係る半導体集積回路においては、基板の表面に垂直な方向から見て、前記強磁性体層が複数の部分に分割されていてもよい。これにより、強磁性体層内に渦電流が流れることを抑制でき、渦電流によるインダクタンスの損失を抑制することができる。

【 0 0 1 1 】

本発明に係る他の半導体集積回路は、基板上に設けられたインダクタと、前記基板の表面に垂直な方向から見て、前記インダクタと重ならず前記インダクタを囲むように設けられた強磁性体層と、を有することを特徴とする。

【 0 0 1 2 】

本発明においては、強磁性体層をインダクタの内部又は直上域若しくは直下域ではなく、インダクタを囲むように設けることにより、強磁性体層とインダクタとの間の容量を低減すると共に、強磁性体層内に渦電流が流れることを抑制している。これにより、インダクタンスの損失を低減することができる。なお、強磁性体層はインダクタが発生させる磁力線の経路に配置されていればよいため、強磁性体層がインダクタの周囲に設けられていても、内部に設けられている場合と比較して、強磁性体によるインダクタンス向上効果がそれほど損なわれることはない。

【 0 0 1 3 】

また、前記強磁性体層が前記インダクタの周回方向において断続的に配置されていることが好ましい。これにより、インダクタの周囲を周回する強磁性体層内の渦電流の発生を防止し、Q値の低減をより一層抑制することができる。

【0014】

本発明に係る更に他の半導体集積回路は、基板上に設けられたインダクタと、前記インダクタの上方又は下方に配置された複数の短冊状の強磁性体層と、を有し、前記基板の表面に垂直な方向から見て、前記複数の短冊状の強磁性体層はその長手方向が前記インダクタの中心から周囲に向かう方向に沿うように放射状に配置されていることを特徴とする。

【0015】

本発明においては、複数の短冊状の強磁性体層を放射状に配置することにより、強磁性体層とインダクタとの間の容量を低減すると共に、強磁性体層内に渦電流が流れることを抑制することができる。

【0016】

本発明に係る更に他の半導体集積回路は、基板上に設けられたインダクタと、このインダクタを覆うように設けられた絶縁体層と、この絶縁体層上における前記インダクタの内部の直上域を含む領域に設けられた強磁性体層と、前記強磁性層を形成する材料からなり前記絶縁体層上における前記インダクタの直上域から外れた領域に前記強磁性体層と同層に設けられたパッドと、を有することを特徴とする。

【0017】

本発明においては、強磁性体層がインダクタの磁芯となっている。これにより、インダクタのインダクタンス及びQ値を向上させることができる。また、強磁性体層をパッドと同層且つ同材料により形成することにより、この強磁性体層とパッドとを同一工程にて形成することができ、強磁性体層を形成するための特別な工程が不要になる。これにより、半導体集積回路の製造が容易になり、製造コストを低減することができる。

【0018】

また、前記基板の表面に垂直な方向から見て、前記強磁性体層が前記インダク

タを覆うように設けられていてもよい。これにより、インダクタが小さい場合においても、十分な大きさの強磁性体層を設けることができる。

【 0 0 1 9 】

本発明に係る半導体集積回路の製造方法は、基板上に第 1 の金属層を形成する工程と、この第 1 の金属層上に選択的に強磁性体層を形成する工程と、この選択的に形成された強磁性体層を覆うように第 2 の金属層を形成する工程と、前記第 1 及び第 2 の金属層を選択的に除去してパターニングし、前記第 1 の金属層、前記強磁性体層及び前記第 2 の金属層が積層されてなる積層膜を形成すると共にこの積層膜と同層でありこの積層膜を囲むように配置されたインダクタを形成する工程と、を有することを特徴とする。

【 0 0 2 0 】

また、本発明に係る半導体集積回路の製造方法は、前記第 1 の金属層を形成する工程の前に、前記基板の表面における前記積層膜を形成する予定の領域にその深さが前記第 1 の金属層と前記強磁性体層の合計膜厚よりも小さい凹部を形成する工程を有していてもよい。

【 0 0 2 1 】

本発明に係る他の半導体集積回路の製造方法は、基板上にインダクタを形成する工程と、このインダクタを覆うように絶縁体層を形成する工程と、この絶縁体層上に強磁性体からなる膜を形成する工程と、この膜を選択的に除去してパターニングし、前記絶縁体層上における前記インダクタの内部の直上域を含む領域に強磁性体層を形成すると共に前記絶縁体層上における前記インダクタの直上域から外れた領域にパッドを形成する工程と、を有することを特徴とする。

【 0 0 2 2 】

【発明の実施の形態】

以下、本発明の実施例について添付の図面を参照して具体的に説明する。先ず、本発明の第 1 の実施例について説明する。図 1 は本実施例に係る半導体集積回路を示す平面図であり、図 2 (a) は図 1 に示す A - A 線による断面図であり、(b) は図 1 に示す B - B 線による断面図である。

【 0 0 2 3 】

図 1 並びに図 2 (a) 及び (b) に示すように、本実施例の半導体集積回路においては、半導体基板（図示せず）上に多層配線層 1 が設けられている。多層配線層 1 は複数の層が積層されて形成されており、この多層配線層 1 の最上層である絶縁層 2 上に、スパイラルインダクタであるインダクタ 3 が設けられている。インダクタ 3 は 1 本の配線 3 a がスパイラル状（渦巻状）に配置されて形成されている。絶縁層 2 の膜厚は例えば $1.5 \mu\text{m}$ であり、インダクタ 3 の外形は例えば一辺の長さが $100 \mu\text{m}$ の正方形であり、内形は例えば一辺の長さが 40 乃至 $60 \mu\text{m}$ の正方形であり、配線 3 a の幅は例えば 5 乃至 $10 \mu\text{m}$ であり、インダクタ 3 の巻き数は例えば 3 である。なお、図 2 (a) においては、便宜上、配線 3 a は片側 2 本ずつしか示していない。また、絶縁層 2 の下方には絶縁層 4 が設けられている。絶縁層 2 及び 4 は例えば SiO_2 により形成されている。

【 0 0 2 4 】

また、絶縁層 2 におけるインダクタ 3 から離れた領域には配線 5 が埋め込まれており、絶縁層 2 における配線 5 の上方に相当する部分には、ビア 6 が形成されている。配線 3 a の一端は、インダクタ 3 の外側からこのビア 6 まで引き出され、ビア 6 を介して配線 5 に接続されている。また、絶縁層 2 におけるインダクタ 3 内の領域にはビア 7 が形成されており、配線 3 a の他端はこのビア 7 を介して、インダクタ 3 よりも下層に配置された配線 8 に接続されている。即ち、配線 5、ビア 6、配線 3 a における渦巻の外側、配線 3 a における渦巻の内側、ビア 7 及び配線 8 がこの順に接続されている。

【 0 0 2 5 】

配線 3 a、5 及び 8 は、下層側から順に、TiW 層 9、Cu 層 10、Cu 層 11 及び TiW 層 12 が積層されて形成されている。TiW 層 9 及び 12 の膜厚は例えば 0.05 乃至 $0.1 \mu\text{m}$ であり、Cu 層 10 及び 11 の膜厚は例えば 0.2 乃至 $0.4 \mu\text{m}$ であり、配線 3 a、5 及び 8 の膜厚は例えば 0.5 乃至 $1.0 \mu\text{m}$ である。なお、Cu 層 10 及び 11 は配線本体層 17 を形成している。また、TiW 層 9 及び 12 は配線本体層 17 のバリアメタルであり、TiW 層 9 は Cu 層と SiO_2 からなる絶縁層 2 との間の密着性を向上させる機能がある。

【 0 0 2 6 】

更に、絶縁層 2 上におけるインダクタ 3 の内部領域、即ち、配線 3 a がなす渦巻の内部（以下、内部領域 1 3 という）には、積層膜 1 4 が設けられている。内部領域 1 3 は例えば一辺の長さが 4 0 乃至 6 0 μm の正方形の領域であり、積層膜 1 4 の形状は、例えば一辺の長さが 3 0 乃至 5 0 μm の正方形である。積層膜 1 4 の下面及び配線 3 a の下面は同一平面上にあり、絶縁層 2 の上面に接している。この積層膜 1 4 においては、下層側から順に、TiW 層 9 及び Cu 層 1 0 が設けられている。そして、Cu 層 1 0 上における中央部には、Ni からなる強磁性体層 1 5 が設けられており、この強磁性体層 1 5 の側面及び上面を覆うように、Cu 層 1 1 及び TiW 層 1 2 が設けられている。強磁性体層 1 5 の膜厚は例えば 3 乃至 5 μm である。

【 0 0 2 7 】

このため、強磁性体層 1 5 の下面は配線層 3 a の上面よりも低くなっており、強磁性体層 1 5 の上面は配線層 3 a の下面よりも高くなっている。従って、強磁性体層 1 5 の下部は配線層 3 a と同層となっている。また、強磁性体層 1 5 の上面は配線層 3 a の上面よりも高くなっており、従って、積層膜 1 4 の上面は配線層 3 a の上面よりも高くなっている。

【 0 0 2 8 】

更にまた、インダクタ 3 及び積層膜 1 4 を覆うように、例えばポリイミドからなる絶縁層 1 6 が設けられている。なお、図 1 においては、絶縁層 1 6 は図示を省略されている。なお、半導体基板（図示せず）の表面には、トランジスタ等の素子が形成されていてもよい。

【 0 0 2 9 】

なお、本実施例においては、渦巻状の配線の巻き数が 3 である例を示したが、本発明はこれに限定されず、4 以上又は 2 以下であってもよく、1 以下であってもよい。また、渦巻の形状は正方形に限定されず、例えば、正方形以外の多角形又は円形であってもよい。更に、上述の各部の寸法は一例であり、本発明はこれに限定されない。更にまた、強磁性体層は Ni 以外の強磁性体、例えば Co により形成されていてもよく、配線は Cu 以外の導電性材料、例えば Al により形成されていてもよい。更にまた、絶縁膜 2 は SiON により形成されていてもよい。

【 0 0 3 0 】

次に、本実施例に係る半導体集積回路の製造方法について説明する。図 3 (a) 乃至 (e) は本実施例に係る半導体集積回路の製造方法をその工程順に示す断面図であり、図 2 (a) の一部に相当する部分を示す。先ず、図 3 (a) に示すように、半導体基板上に多層配線層 1 (図 2 (a) 参照) を形成する。このとき、多層配線層 1 の最上層をなす絶縁層 2 の内部に、配線 5 (図 2 (b) 参照) 及び配線 8 (図 1 参照) を埋め込み、絶縁層 2 における配線 5 及び 8 の直上域に、エッチングにより夫々ビア 6 及び 7 (図 1 参照) を形成する。このとき、配線 5 及び 8 が、夫々ビア 6 及び 7 を形成する際のエッチングストッパ層となる。そして、絶縁膜 2 上の全面に、スパッタリング法により T i W 層 9 を形成する。次に、電気めっき法により、T i W 層 9 上に C u 層 1 0 を形成する。

【 0 0 3 1 】

次に、図 3 (b) に示すように、C u 層 1 0 上にレジスト 1 8 を形成し、このレジスト 1 8 における後の工程において強磁性体層 1 5 を形成する予定の領域に、開口部 1 8 a を形成する。開口部 1 8 a においては C u 層 1 0 が露出している。

【 0 0 3 2 】

次に、図 3 (c) に示すように、レジスト 1 8 をマスクとして、N i の電気めっきを行い、C u 層 1 0 上における開口部 1 8 a に相当する領域に N i からなる強磁性体層 1 5 を形成する。

【 0 0 3 3 】

次に、図 3 (d) に示すように、レジスト 1 8 を除去し、C u 層 1 0 及び強磁性体層 1 5 上に C u 層 1 1 を形成する。そして、この C u 層 1 1 上に T i W 層 1 2 を形成する。

【 0 0 3 4 】

次に、図 3 (e) に示すように、T i W 層 1 2 上にレジスト (図示せず) を形成し、このレジストをマスクとして、T i W 層 9 、C u 層 1 0 、C u 層 1 1 及び T i W 層 1 2 をウェットエッチングして選択的に除去してパターニングする。C

u 層 1 0 及び 1 1 のウェットエッチングは硫酸と過酸化水素との混合液である硫酸過水を使用すればよく、T i W 層 9 及び 1 2 のウェットエッチングは過酸化水素水により行うことができる。

【 0 0 3 5 】

これにより、半導体基板の表面に垂直な方向、即ち、絶縁層 2 の表面に垂直な方向から見て、正形状となる積層膜 1 4 と、この積層膜 1 4 の周囲に渦巻状に配置され、ビア 6 及び 7 により夫々配線 5 及び 8 に接続された配線 3 a とを形成する。積層膜 1 4 は T i W 層 9、C u 層 1 0、強磁性体層 1 5、C u 層 1 1 及び T i W 層 1 2 が積層されて構成されており、配線 3 a は T i W 層 9、C u 層 1 0、C u 層 1 1 及び T i W 層 1 2 が積層されて構成されている。そして、絶縁層 2 上の全面に、積層膜 1 4 及び配線 3 a を埋め込むように、ポリイミドからなる絶縁層 1 6 を形成する。これにより、本実施例に係る半導体集積回路を製造することができる。

【 0 0 3 6 】

本実施例においては、配線 3 a を渦巻状に配置することにより、スパイラルインダクタであるインダクタ 3 が形成されている。そして、このインダクタ 3 の内部領域 1 3 に設けられた強磁性体層 1 5 が、インダクタ 3 の磁芯として作用し、インダクタ 3 のインダクタンス及び Q 値を向上させることができる。実際に実験した結果、図 1 に示す本実施例の半導体集積回路は、図 1 4 に示す従来の半導体集積回路と比較して、Q 値が約 2 倍になった。

【 0 0 3 7 】

また、強磁性体層 1 5 を C u 層 9 及び 1 0 で被覆することにより、強磁性体層 1 5 を形成する N i が半導体集積回路内の他の領域に拡散することがなく、また、半導体集積回路の製造工程において、製造装置を汚染することがない。

【 0 0 3 8 】

更に、強磁性体層 1 5 の下部は配線層 3 a と同層となっているため、インダクタ 3 のインダクタンス及び Q 値をより一層向上させることができる。更にまた、積層膜 1 4 の下面が配線 3 a の下面と同一平面にあり、積層膜 1 4 の上面が配線層 3 a の上面よりも高くなっているため、積層膜 1 4 の上面及び下面と配線 3 a

との間に寄生容量が発生せず、インダクタ 3 のインダクタンス及び Q 値をより一層向上させることができる。

【 0 0 3 9 】

次に、前述の第 1 の実施例の変形例について説明する。本変形例に係る半導体集積回路を示す平面図は図 1 と同様な図である。また、図 4 (a) 及び (b) は本変形例に係る半導体集積回路を示す断面図であり、(a) は図 1 に示す A - A 線による断面図に相当し、(b) は図 1 に示す B - B 線による断面図に相当する。図 4 (a) 及び (b) に示すように、本変形例においては、絶縁層 2 における積層膜 1 4 の直下域に金属層 1 9 が設けられており、絶縁層 2 における金属層 1 9 の直上域に開口部 2 a が形成されている。そして、この開口部 2 a に、絶縁膜 1 4 の下部が埋め込まれている。金属層 1 9 は配線 5 と同層であり、同じ材料により形成されている。金属層 1 9 は配線 5 と同時に形成され、開口部 2 a は、ビア 6 及び 7 と同時に形成される。開口部 2 a の形成に際しては、金属層 1 9 がエッチングストッパ層となる。本変形例における上記以外の構成及び製造方法は、前述の第 1 の実施例と同様である。

【 0 0 4 0 】

本変形例においては、前述の第 1 の実施例と比較して、積層膜 1 4 を配線 3 a に対して相対的に低くすることができるため、強磁性体層 1 5 における配線 3 a と同層となる部分が拡大する。これにより、インダクタ 3 のインダクタンス及び Q 値をより一層向上させることができる。

【 0 0 4 1 】

次に、本発明の第 2 の実施例について説明する。図 5 は、本実施例に係る半導体集積回路を示す平面図である。図 5 に示すように、本実施例に係る半導体集積回路においては、前述の第 1 の実施例と比較して、積層膜 1 4 が複数の部分 1 4 a から構成されている。絶縁層 2 の表面に垂直な方向から見て、部分 1 4 a は例えば 1 辺の長さが 5 乃至 1 0 μ m の矩形であり、インダクタ 3 の内部領域 1 3 に例えばマトリクス状に配列されている。本実施例における上記以外の構成は前述の第 1 の実施例と同様である。

【 0 0 4 2 】

本実施例においては、前述の第 1 の実施例と比較して、積層膜 1 4 が複数の部分 1 4 a に分割されているため、積層膜 1 4 と配線 3 a との間の容量を低減できると共に、積層膜 1 4 内に渦電流が発生することを抑制できる。これにより、インダクタ 3 のインダクタンス及び Q 値がより一層向上する。

【 0 0 4 3 】

次に、本発明の第 3 の実施例について説明する。図 6 は、本実施例に係る半導体集積回路を示す平面図である。図 6 に示すように、本実施例に係る半導体集積回路においては、前述の第 1 の実施例と比較して、インダクタ 3 が絶縁層 2 内に埋め込まれている。従って、絶縁層 2 にビア 6（図 1 参照）は形成されておらず、配線 3 a は配線 5（図 1 参照）に同層で接続されている。また、インダクタ 3 の内部領域 1 3 には積層膜が設けられておらず、絶縁層 2 上におけるインダクタ 3 の周囲に相当する領域に、インダクタ 3 の直上域を囲むように積層膜 1 4 が環状に設けられている。本実施例における上記以外の構成は前述の第 1 の実施例と同様である。なお、本実施例においては、積層膜 1 4 はインダクタ 3 の上方に設けられているが、積層膜 1 4 をインダクタ 3 の下方に配置してもよい。

【 0 0 4 4 】

本実施例においては、前述の第 1 の実施例と比較して、積層膜 1 4 がインダクタ 3 の周囲に設けられているため、積層膜 1 4 と配線 3 a との間の容量を低減すると共に、積層膜 1 4 内に渦電流が流れることを抑制することができる。これにより、インダクタンスの損失を低減することができる。なお、強磁性体層 1 5 はインダクタ 3 が発生させる磁力線の経路に配置されていればよいため、強磁性体層 1 5 がインダクタ 3 の周囲に設けられていても、内部領域 1 3 に設けられている場合と比較して、強磁性体によるインダクタンスの向上効果が損なわれることはない。

【 0 0 4 5 】

次に、本発明の第 4 の実施例について説明する。図 7 は、本実施例に係る半導体集積回路を示す平面図である。図 7 に示すように、本実施例に係る半導体集積回路においては、前述の第 3 の実施例と比較して、積層膜 1 4 の一部が除去されて断絶部 1 4 b が形成されている。また、本実施例においては、インダクタ 3 を

絶縁層 2 内ではなく、前述の第 1 の実施例と同様に絶縁層 2 上に形成し、インダクタ 3 における渦巻の外側から引き出された配線 3 a が、断絶部 1 4 b を通過するようにしてもよい。本実施例における上記以外の構成は前述の第 1 の実施例と同様である。

【 0 0 4 6 】

本実施例においては、前述の第 3 の実施例と比較して、積層膜 1 4 に断絶部 1 4 b が形成されているため、積層膜 1 4 を周回するような渦電流が発生することがない。このため、渦電流による損失をより一層低減し、Q 値を向上させることができる。

【 0 0 4 7 】

次に、本発明の第 5 の実施例について説明する。図 8 は、本実施例に係る半導体集積回路を示す平面図である。図 8 に示すように、本実施例に係る半導体集積回路においては、前述の第 3 の実施例と同様に、インダクタ 3 が絶縁層 2 内に埋め込まれている。また、インダクタ 3 の内部領域 1 3 には積層膜が設けられておらず、絶縁層 2 上におけるインダクタ 3 及びその周囲の領域の直上域に相当する領域に、複数の矩形部分 1 4 c からなる積層膜 1 4 が設けられている。積層膜 1 4 の矩形部分 1 4 c の幅は例えば 1 0 μ m である。また、絶縁層 2 の表面に垂直な方向から見て、矩形部分 1 4 c はその長手方向が渦巻形のインダクタ 3 の中心から周囲に向かう方向に沿うように放射状に配置されている本実施例における上記以外の構成は前述の第 1 の実施例と同様である。なお、本実施例においては、積層膜 1 4 はインダクタ 3 の上方に設けられているが、積層膜 1 4 をインダクタ 3 の下方に配置してもよい。

【 0 0 4 8 】

本実施例においては、前述の第 1 の実施例と比較して、積層膜 1 4 を複数の矩形部分 1 4 c に分割しているため、積層膜 1 4 と配線 3 a との間の容量を低減すると共に、積層膜 1 4 がインダクタ 3 の周回方向において断続的に配置されているため、積層膜 1 4 内に渦電流が流れることを抑制することができる。これにより、インダクタンスの損失を低減することができる。

【 0 0 4 9 】

次に、本発明の第 6 の実施例について説明する。図 9 は本実施例に係る半導体集積回路を示す平面図であり、図 1 0 は図 9 に示す C - C 線による断面図である。図 9 及び図 1 0 に示すように、本実施例の半導体集積回路においては、半導体基板（図示せず）上に多層配線層 1 が設けられている。多層配線層 1 は複数の層が積層されて形成されており、この多層配線層 1 の最上層である絶縁層 2 内に、スパイラルインダクタであるインダクタ 3 が設けられている。インダクタ 3 は 1 本の配線 3 a がスパイラル状（渦巻状）に配置されて形成されており、配線 3 a は T i W 層 2 2、C u 層 2 3 及び T i W 層 2 4 がこの順に積層されて形成されている。前述の第 1 の実施例と同様に、インダクタ 3 の巻き数は例えば 3 であるが、図 1 0 においては、便宜上、配線 3 a は片側 2 本ずつしか示していない。

【 0 0 5 0 】

また、絶縁層 2 上におけるインダクタ 3 の内部領域 1 3 の直上域に相当する領域には、積層膜 1 4 が設けられている。積層膜 1 4 の構成は前述の第 1 の実施例と同様である。

【 0 0 5 1 】

更に、絶縁層 2 上におけるインダクタ 3 の形成領域から外れた領域には、パッド 2 1 が形成されている。パッド 2 1 は、例えば、フリップチップのバンプが形成されるものである。絶縁層 2 の表面に垂直な方向から見て、パッド 2 1 の形状は例えば八角形であり、その外径は例えば $100\mu\text{m}$ である。パッド 2 1 は、積層膜 1 4 と同様に、T i W 層 9 及び C u 層 1 0 が積層され、C u 層 1 0 上の中央部分に N i からなる強磁性体層 1 5 が積層され、強磁性体層 1 5 の上面及び側面を覆うように、C u 層 1 1 及び T i W 層 1 2 が積層されて形成されている。即ち、パッド 2 1 は積層膜 1 4 と同層に形成されている。

【 0 0 5 2 】

次に、本実施例に係る半導体集積回路の製造方法について説明する。図 1 1 （ a ）乃至（ e ）は本実施例に係る半導体集積回路の製造方法をその工程順に示す断面図である。先ず、図 1 0 （ a ）に示すように、半導体基板上に多層配線層 1 を形成する。このとき、 SiO_2 からなる絶縁層 4 上に、T i W 層 2 2、C u 層 2 3 及び T i W 層 2 4 をこの順に積層し、これらの積層膜をパターンニングして、

渦巻状の配線 3 a を形成する。即ち、配線 3 a は T i W 層 2 2、C u 層 2 3 及び T i W 層 2 4 がこの順に積層されて形成されている。これにより、スパイラルインダクタであるインダクタ 3 が形成される。次に、絶縁層 4 上に S i O₂ からなる絶縁層 2 を形成し、インダクタ 3 を埋め込む。

【 0 0 5 3 】

次に、図 1 1 (a) に示すように、絶縁膜 2 上の全面に、スパッタリング法により T i W 層 9 を形成する。次に、電気めっき法により、T i W 層 9 上に C u 層 1 0 を形成する。

【 0 0 5 4 】

次に、図 1 1 (b) に示すように、C u 層 1 0 上にレジスト 2 5 を形成し、このレジスト 2 5 に開口部 2 5 a 及び 2 5 b を形成する。開口部 2 5 a は、後の工程において積層膜 1 4 の強磁性体層 1 5 を形成する予定の領域に相当し、開口部 2 5 b は、後の工程においてパッド 2 1 の強磁性体層 1 5 を形成する予定の領域に相当する。開口部 2 5 a 及び 2 5 b においては C u 層 1 0 が露出している。

【 0 0 5 5 】

次に、図 1 1 (c) に示すように、レジスト 2 5 をマスクとして、N i の電気めっきを行い、C u 層 1 0 上における開口部 2 5 a 及び 2 5 b に相当する領域に N i からなる強磁性体層 1 5 を形成する。

【 0 0 5 6 】

次に、図 1 1 (d) に示すように、レジスト 2 5 を除去し、C u 層 1 0 及び強磁性体層 1 5 上に C u 層 1 1 を形成する。そして、この C u 層 1 1 上に T i W 層 1 2 を形成する。

【 0 0 5 7 】

次に、図 1 1 (e) に示すように、T i W 層 1 2 上にレジスト (図示せず) を形成し、このレジストをマスクとして、T i W 層 1 2、C u 層 1 1、C u 層 1 0 及び T i W 層 9 をウェットエッチングすることにより、選択的に除去してパターニングする。C u 層 1 0 及び 1 1 のウェットエッチングは硫酸と過酸化水素との混合液である硫酸過水を使用すればよく、T i W 層 9 及び 1 2 のウェットエッチングは過酸化水素水により行うことができる。

【 0 0 5 8 】

これにより、図 9 に示すように、絶縁層 2 の表面に垂直な方向から見て、正方形形状となる積層膜 1 4 と、この積層膜 1 4 の形成領域から外れた領域に、八角形状となるパッド 2 1 とを形成する。積層膜 1 4 及びパッド 2 1 は、TiW 層 9、Cu 層 1 0、強磁性体層 1 5、Cu 層 1 1 及び TiW 層 1 2 が積層されて構成されている。そして、絶縁層 2 上の全面に、積層膜 1 4 及びパッド 2 1 を埋め込むように、ポリイミドからなる絶縁層 1 6（図 1 0 参照）を形成する。これにより、本実施例に係る半導体集積回路を製造することができる。本実施例における上記以外の構成及び製造方法は、前述の第 1 の実施例と同様である。

【 0 0 5 9 】

本実施例においては、配線 3 a を渦巻状に配置することにより、スパイラルインダクタであるインダクタ 3 を形成することができる。そして、このインダクタ 3 の内部領域 1 3 に設けられた強磁性体層 1 5 が、インダクタ 3 の磁芯として作用し、インダクタ 3 のインダクタンス及び Q 値を向上させる。

【 0 0 6 0 】

また、積層膜 1 4 を、パッド 2 1 と同層且つ同材料により形成することにより、この積層膜 1 4 とパッド 2 1 とを同一工程にて形成することができる。このため、積層膜 1 4 を形成するための特別な工程が不要になる。これにより、半導体集積回路の製造が容易になり、製造コストを低減することができる。

【 0 0 6 1 】

次に、本発明の第 7 の実施例について説明する。図 1 2 は、本実施例に係る半導体集積回路を示す平面図であり、図 1 3 は図 1 2 に示す D-D 線による断面図である。図 1 2 及び図 1 3 に示すように、本実施例に係る半導体集積回路は、前述の第 6 の実施例に係る半導体集積回路と比較して、積層膜 1 4 がインダクタ 3 の内部領域 1 3 の直上域のみならず、インダクタ 3 の直上域全体に形成されている点が異なっている。即ち、絶縁層 2 の表面に垂直な方向から見て、積層膜 1 4 はインダクタ 3 を覆うように形成されている。本実施例における上記以外の構成及び製造方法は、前述の第 6 の実施例と同様である。

【 0 0 6 2 】

本実施例においては、インダクタ 3 を小型化した場合においても、十分な大きさの強磁性体層 1 5 を設けることができる。また、積層膜 1 4 を設けないと、表皮効果によりインダクタ 3 の半導体基板側の表面、即ち、下面に電流が集中して流れてしまい、インダクタ 3 の抵抗値が大きくなる。これに対して、本実施例においては、インダクタ 3 の直上域全体に積層膜 1 4 が形成されているため、インダクタ 3 の上面にも電流が流れるようになり、インダクタ 3 の抵抗値が低下する。これにより、インダクタ 3 の Q 値がより一層向上する。

【 0 0 6 3 】

【発明の効果】

以上詳述したように、本発明によれば、強磁性体層の下面を配線の上面よりも低くし、強磁性体層の上面を配線の下面よりも高くすることにより、強磁性体層の少なくとも一部が配線と同層になり、スパイラルインダクタのインダクタンス及び Q 値をより一層向上させることができる。また、積層膜の下面を配線の下面以下の位置とし、積層膜の上面を配線の上面以上の位置とすることにより、積層膜の上面及び下面と配線との間に寄生容量が発生せず、スパイラルインダクタのインダクタンス及び Q 値をより一層向上させることができる。これにより、インダクタのインダクタンス及び Q 値が高く、小型化が可能な半導体集積回路を得ることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例に係る半導体集積回路を示す平面図である。

【図 2】

(a) は図 1 に示す A - A 線による断面図であり、(b) は図 1 に示す B - B 線による断面図である。

【図 3】

(a) 乃至 (e) は、本実施例に係る半導体集積回路の製造方法をその工程順に示す断面図であり、図 2 (a) の一部に相当する部分を示す。

【図 4】

(a) 及び (b) は本発明の第 1 の実施例の変形例に係る半導体集積回路を示

す断面図であり、(a)は図1に示すA-A線による断面図に相当し、(b)は図1に示すB-B線による断面図に相当する。

【図5】

本発明の第2の実施例に係る半導体集積回路を示す平面図である。

【図6】

本発明の第3の実施例に係る半導体集積回路を示す平面図である。

【図7】

本発明の第4の実施例に係る半導体集積回路を示す平面図である。

【図8】

本発明の第5の実施例に係る半導体集積回路を示す平面図である。

【図9】

本発明の第6の実施例に係る半導体集積回路を示す平面図である。

【図10】

図9に示すC-C線による断面図である

【図11】

(a)乃至(e)は本実施例に係る半導体集積回路の製造方法をその工程順に示す断面図である。

【図12】

本発明の第7の実施例に係る半導体集積回路を示す平面図である。

【図13】

図12に示すD-D線による断面図である

【図14】

従来の半導体集積回路を示す平面図である。

【図15】

図14に示すE-E線による断面図である。

【符号の説明】

1 ; 多層配線層

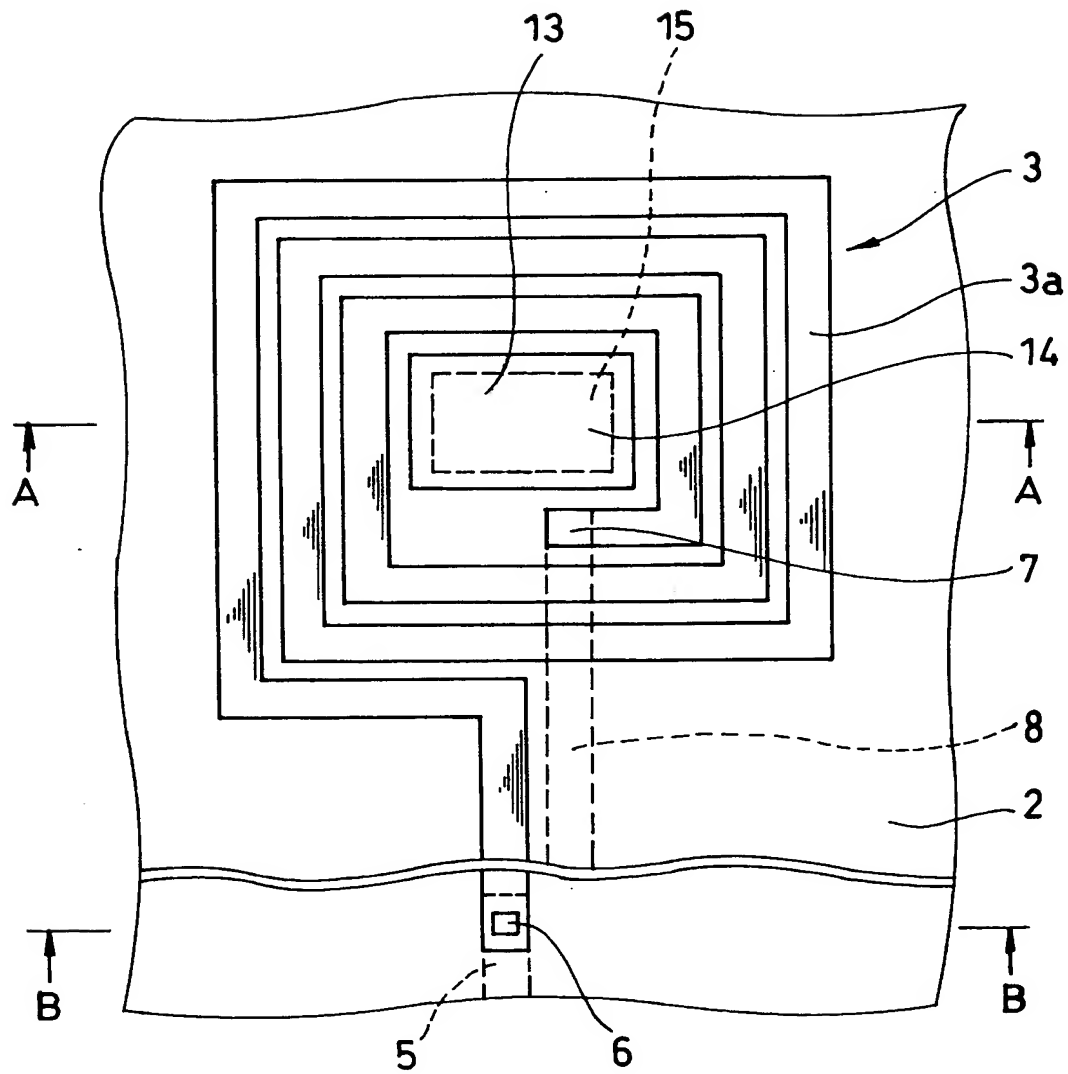
2、4 ; 絶縁層

2 a ; 開口部

3 ; インダクタ
3 a、5、8 ; 配線
6、7 ; ビア
9、12 ; T i W 層
10、11 ; C u 層
13 ; 内部領域
14 ; 積層膜
14 a ; 部分
14 b ; 断絶部
14 c ; 矩形部分
15 ; 強磁性体層
16 ; 絶縁層
17 ; 配線本体層
18 ; レジスト
18 a ; 開口部
19 ; 金属層
21 ; パッド
22、24 ; T i W 層
23 ; C u 層
25 ; レジスト
25 a、25 b ; 開口部
101 ; 多層配線層
102 ; 最上層
103 ; インダクタ
104、105、106 ; 絶縁層
107 ; 配線本体層
108 ; T i W 層

【書類名】 図面

【図1】

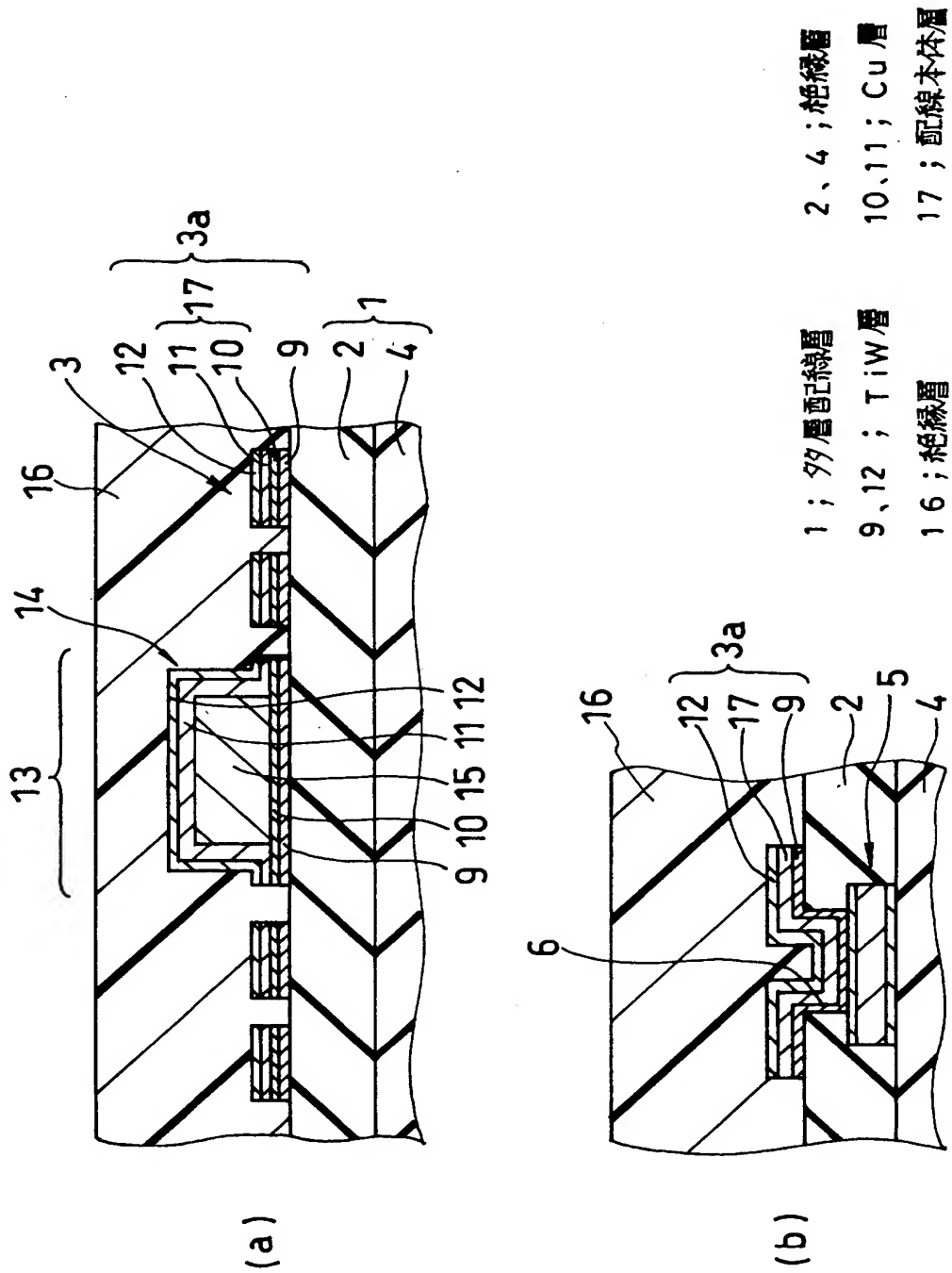


3 ; インダクタ
13 ; 内部領域

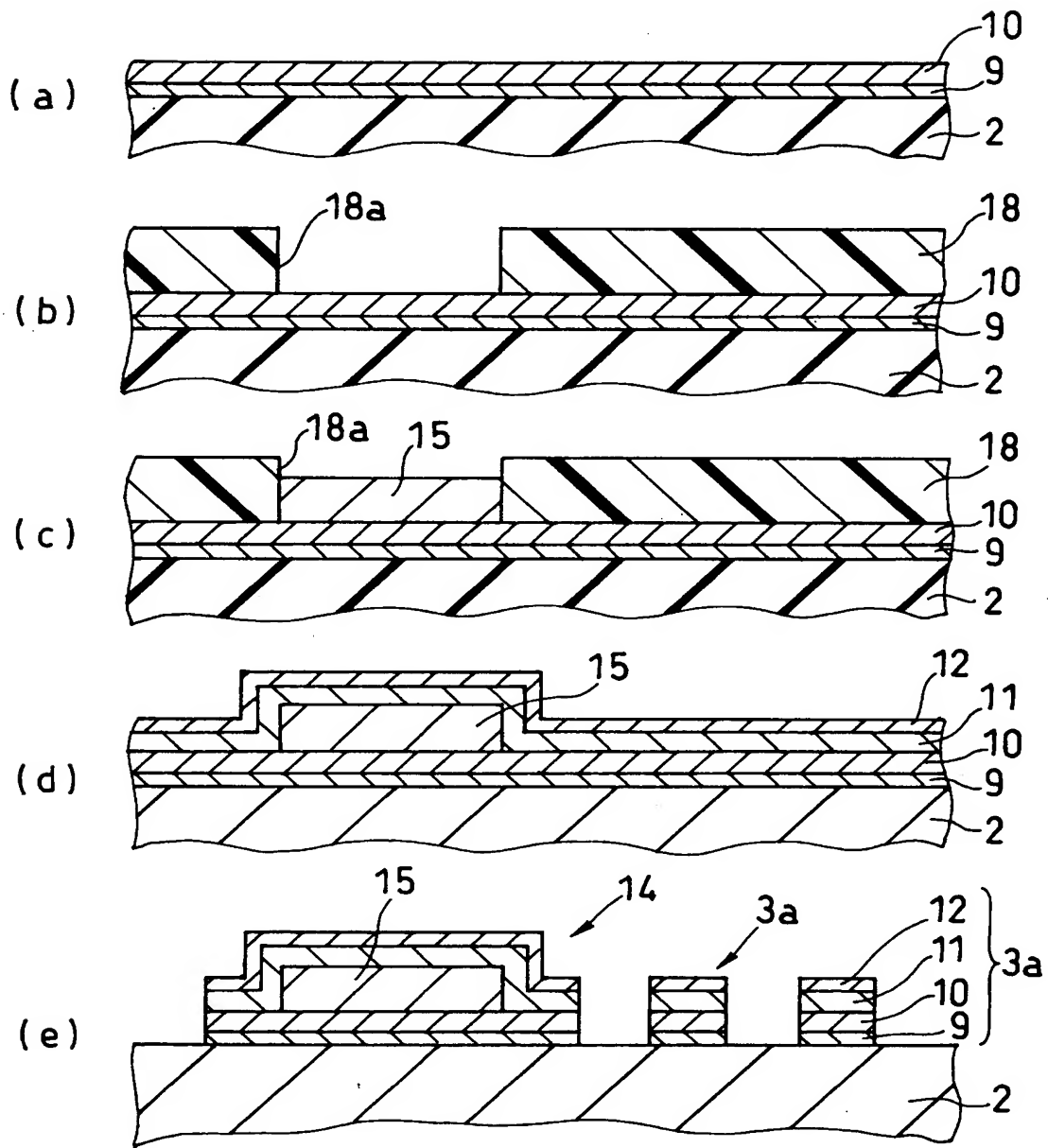
2 ; 絶縁層
14 ; 積層膜

3a、5、8 ; 配線
6、7 ; ビア
15 ; 強磁性体層

【図2】



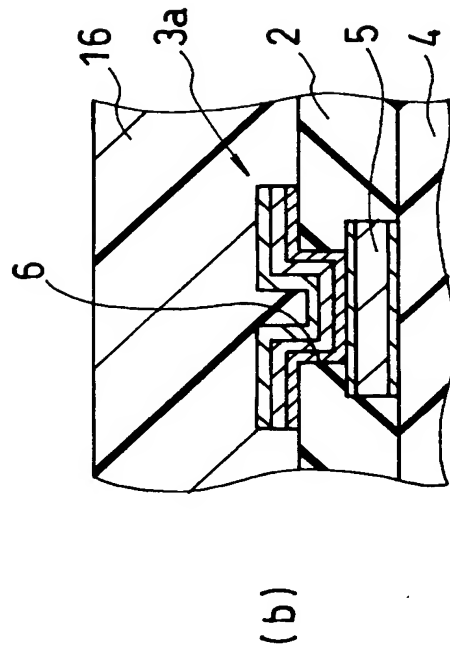
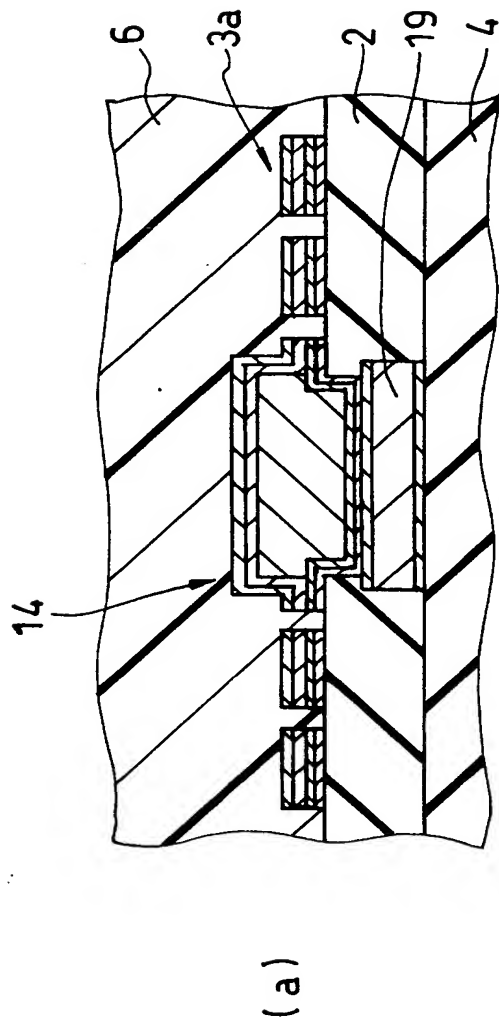
【図 3】



1 8 ; レジスト

1 8 a ; 開口部

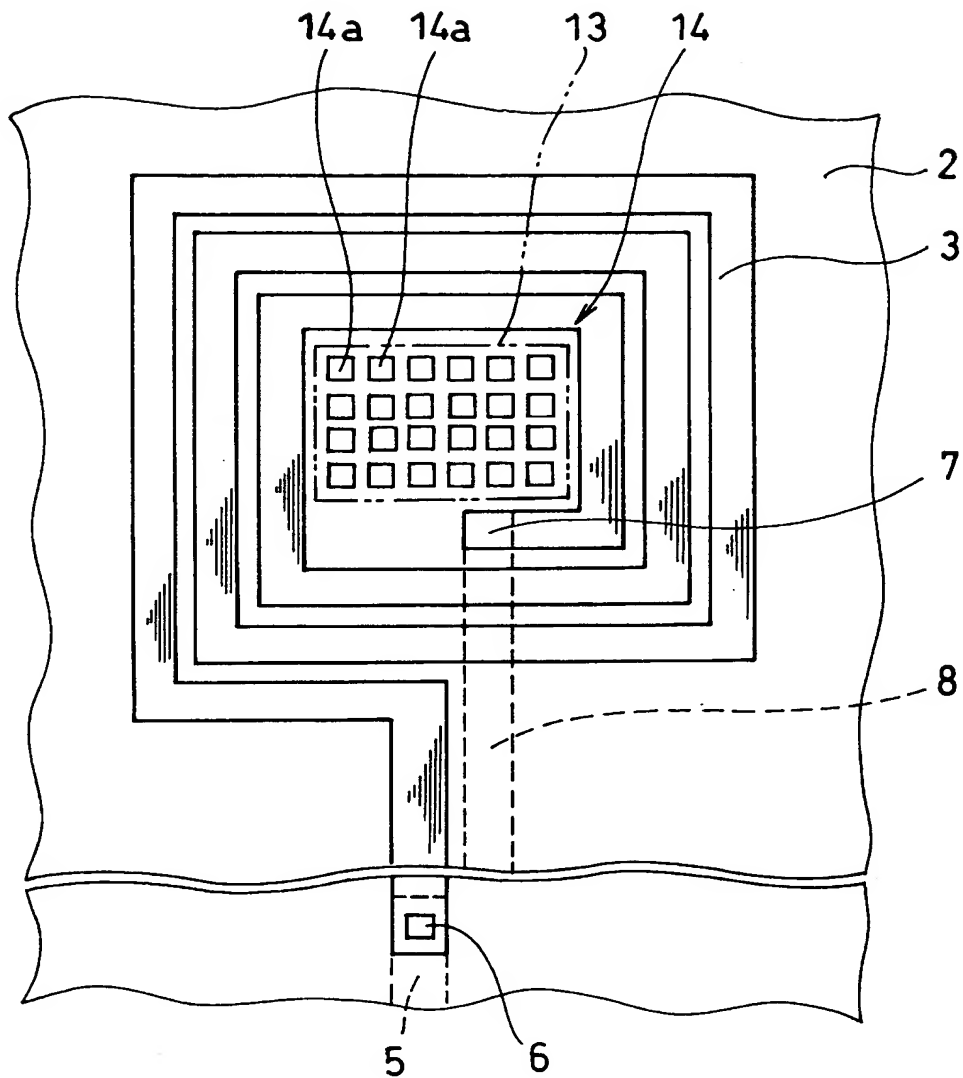
【図 4】



19; 金属層

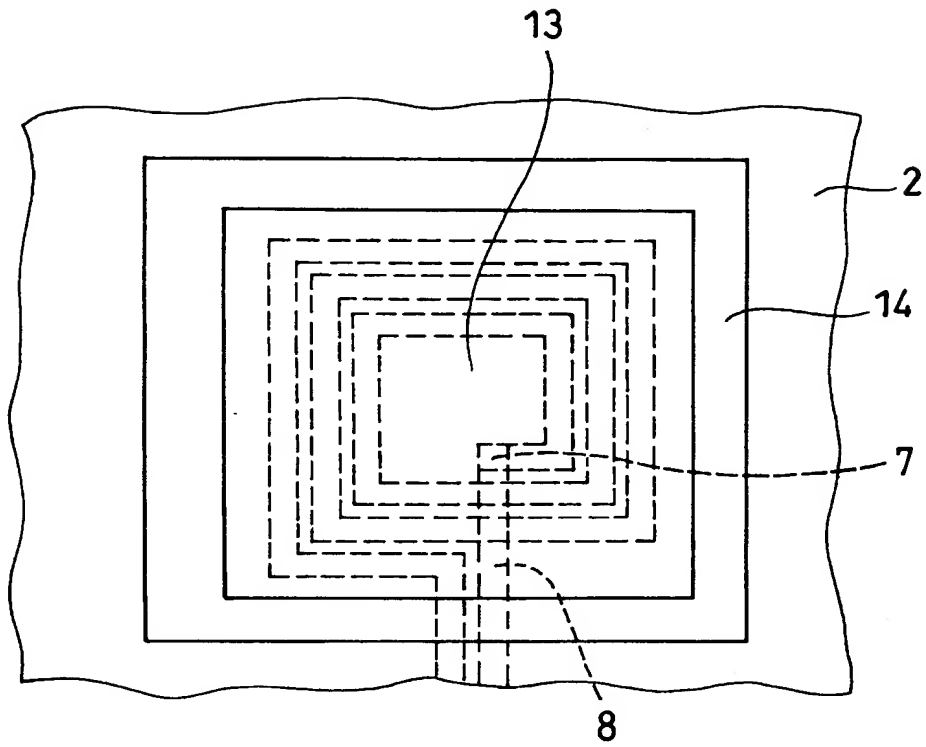
2a; 開口部

【図 5】

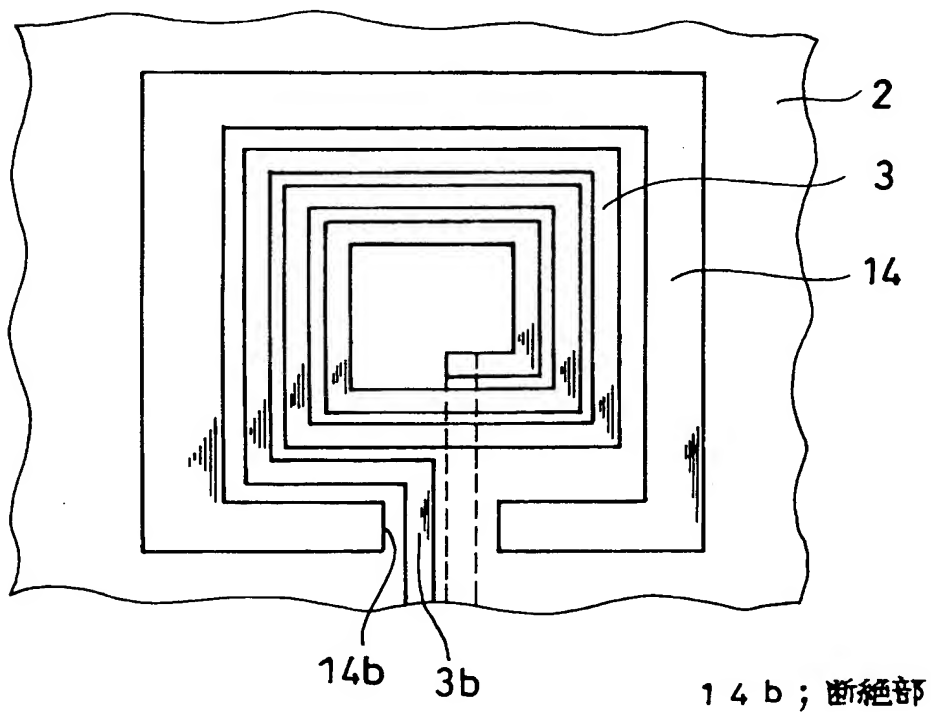


14 a ; 部分

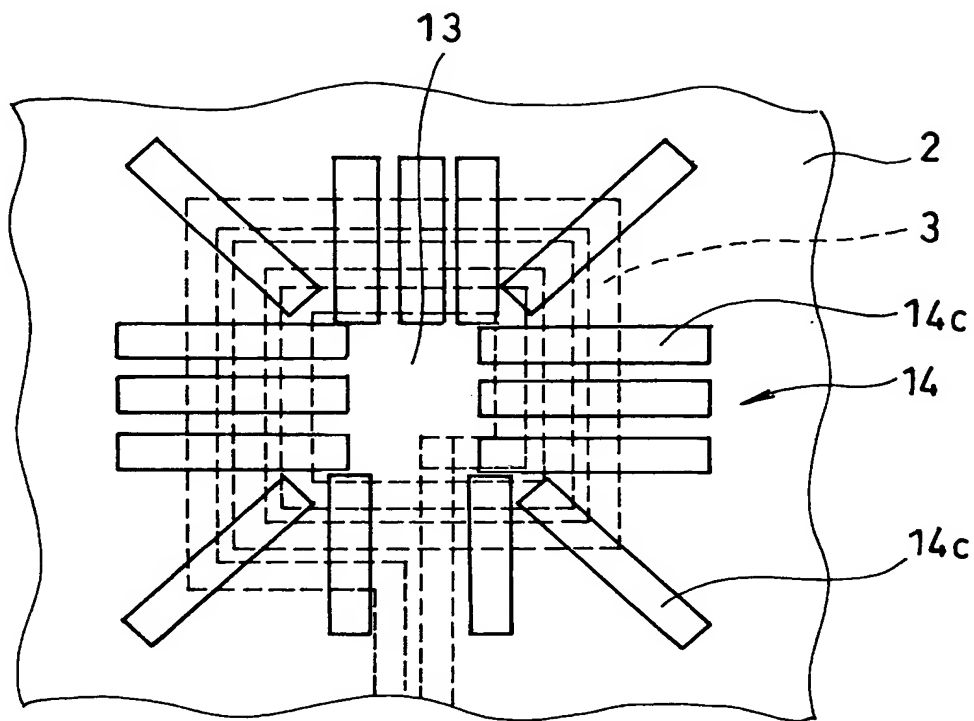
【図 6】



【図 7】

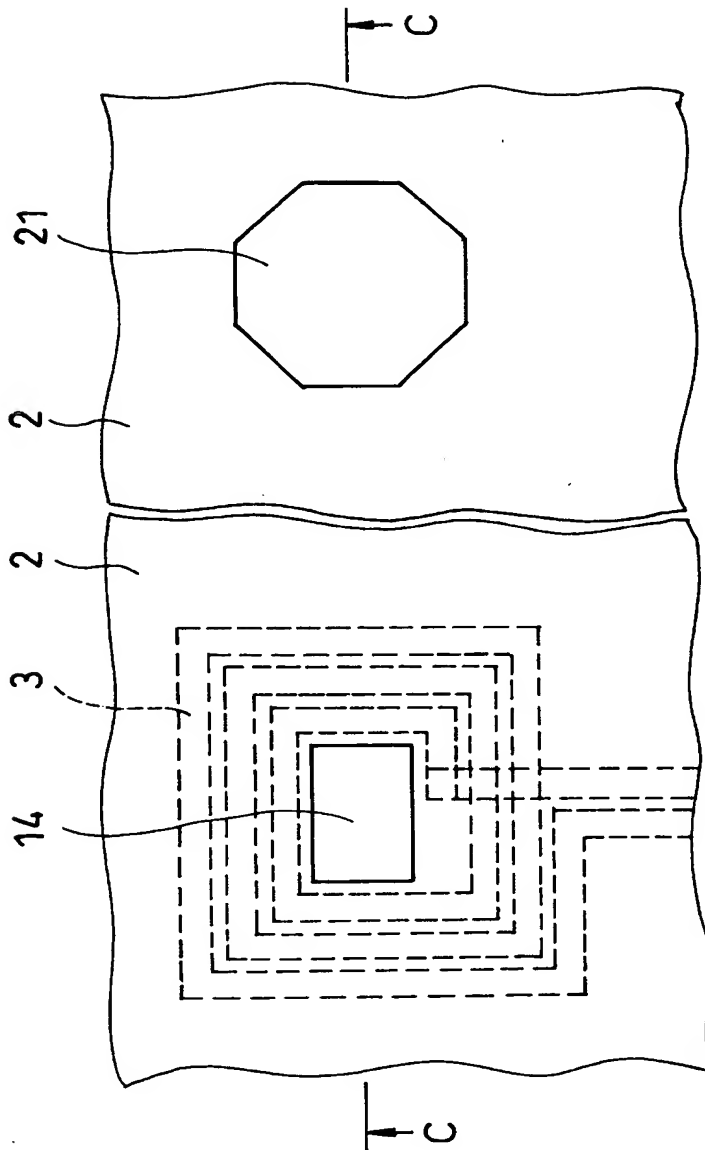


【図 8】



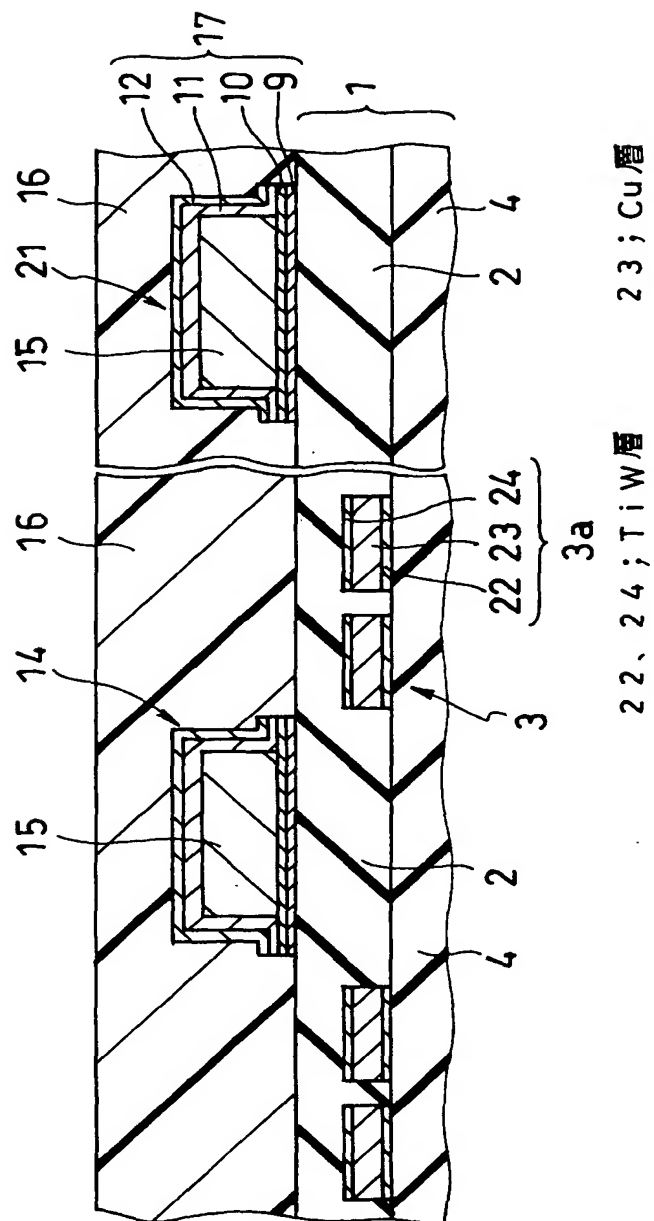
1 4 c ; 矩 形 部 分

【図9】

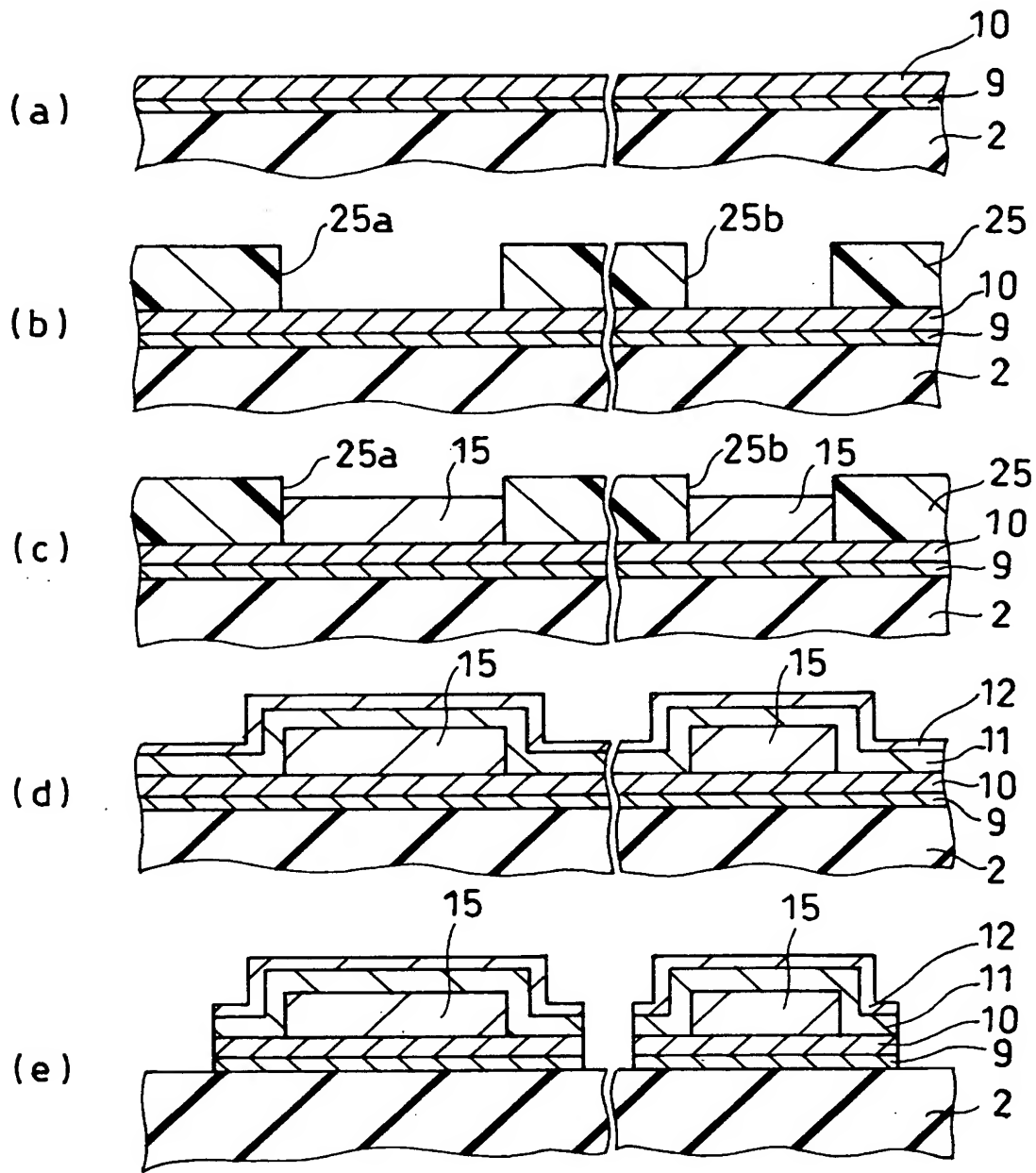


21;パッド

【図 10】



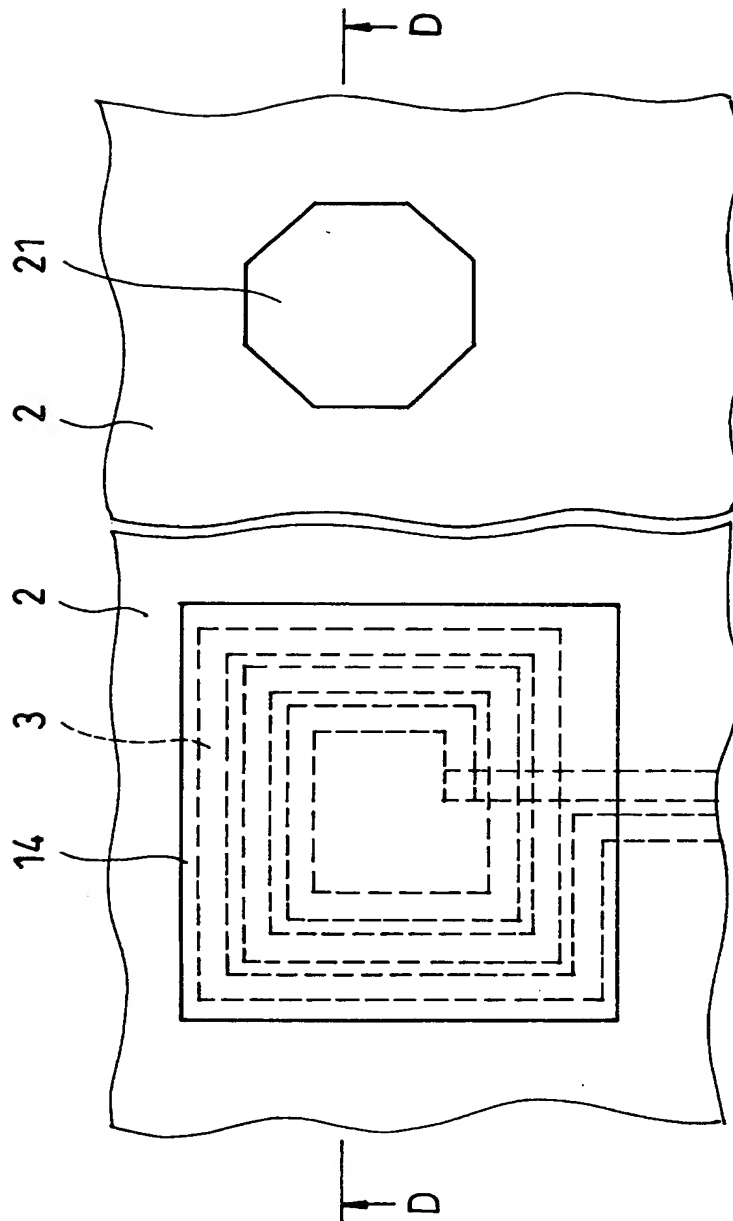
【図 11】



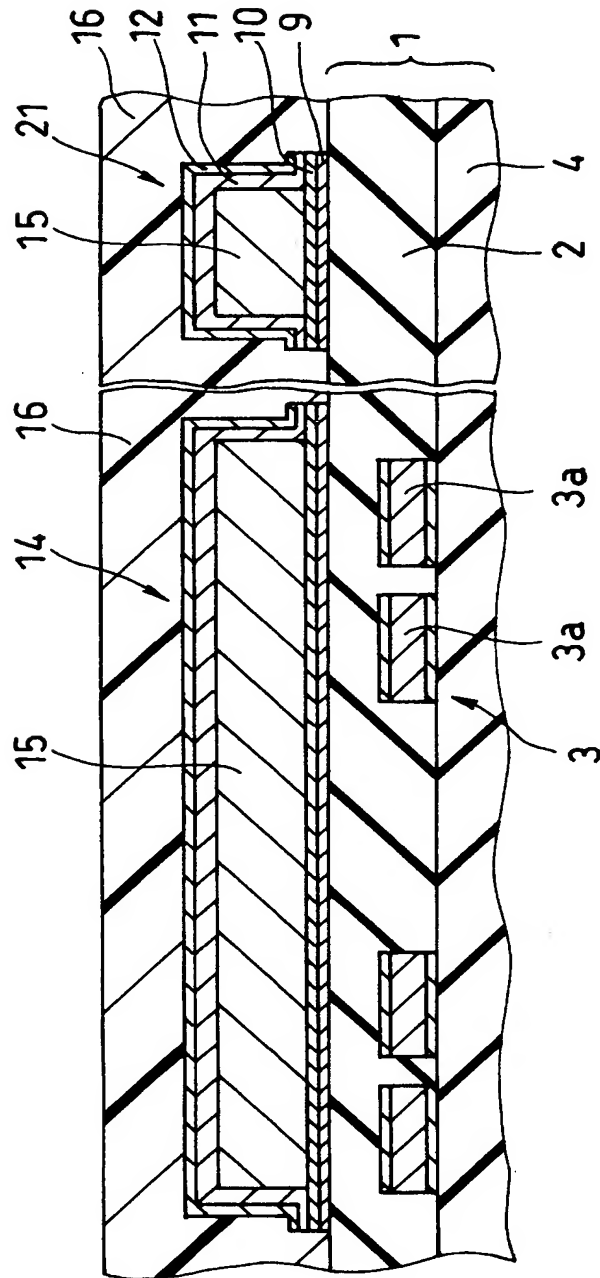
25 ; レジスト

25 a 、 25 b : 開口部

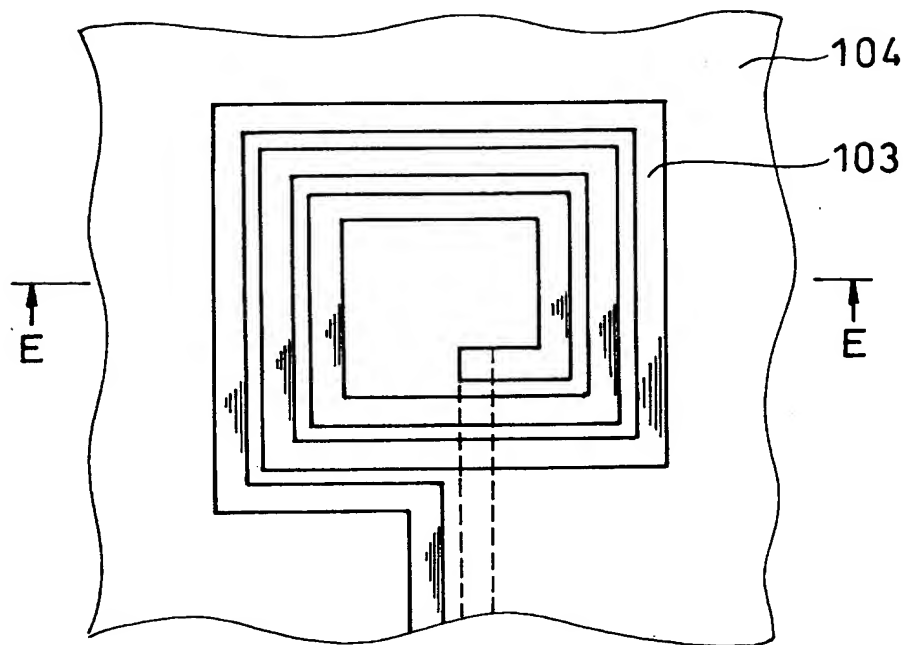
【図 1 2】



【図 13】



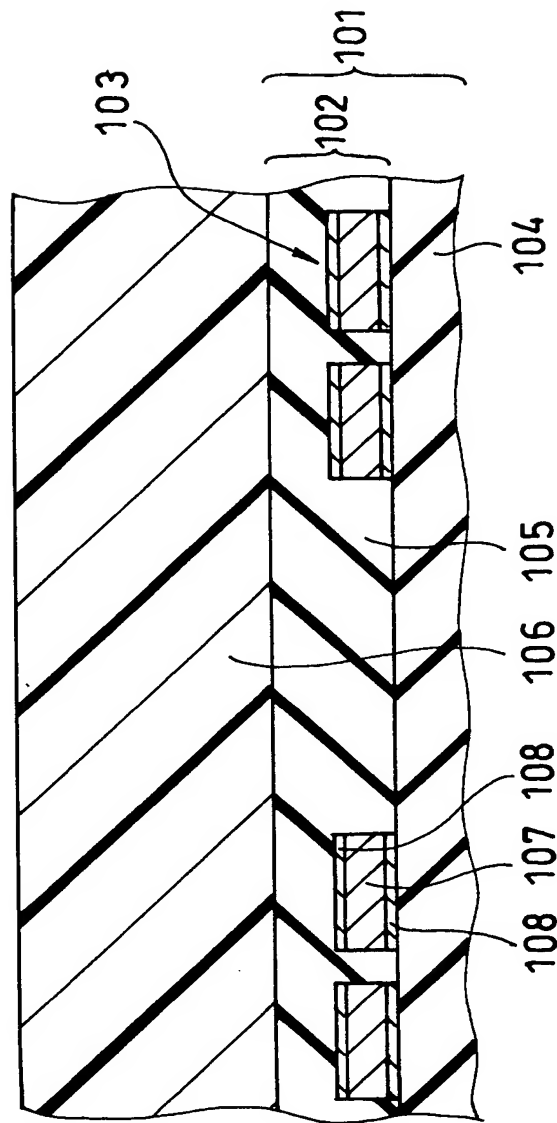
【図 1 4】



1 0 3 ; インダクタ

1 0 4 ; 絶縁層

【図 1 5】



101; 夕層配線層 102; 最上層 105、106; 絶縁層
107; 配線本体層 108; TiW層

【書類名】 要約書

【要約】

【課題】 インダクタのインダクタンス及びQ値が高く、小型化が可能な半導体集積回路及びその製造方法を提供する。

【解決手段】 半導体基板上に多層配線層1を設け、多層配線層1の絶縁層2上にインダクタ3を設ける。インダクタ3は1本の配線3aを渦巻状に配置して形成する。また、絶縁層2上におけるインダクタ3の内部領域13に積層膜14を設ける。積層膜14は、TiW層9、Cu層10、Niからなる強磁性体層15、Cu層11及びTiW層12をこの順に積層して形成する。強磁性体層15の下面は配線層3aの上面よりも低くし、強磁性体層15の上面は配線層3aの下面よりも高くする。これにより、強磁性体層15の下部は配線層3aと同層となる。更に、積層膜14の上面を配線層3aの上面よりも高くし、積層膜14の下面を配線層3aの下面よりも低くする。

【選択図】 図2

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 1 8 3 4 7 1
受付番号	5 0 ` 2 0 0 9 2 0 9 6 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 6 月 2 5 日

< 認定情報・付加情報 >

【提出日】 平成14年 6月24日

【書類名】 出願人名義変更届（一般承継）

【整理番号】 74112688

【提出日】 平成15年 1月29日

【あて先】 特許庁長官 殿

【事件の表示】

 【出願番号】 特願2002-183471

【承継人】

 【識別番号】 302062931

 【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

 【識別番号】 100090158

 【弁理士】

 【氏名又は名称】 藤巻 正憲

【提出物件の目録】

 【物件名】 承継人であることを証明する登記簿謄本 1

 【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届に添付のものを援用する。

 【物件名】 承継人であることを証明する承継証明書 1

 【援用の表示】 平成15年1月23日提出の平成11年特許願第031
184号の出願人名義変更届に添付のものを援用する。

 【包括委任状番号】 0216549

【ブルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

1. 変更年月日	2 0 0 2 年 1 1 月 1 日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部 1 7 5 3 番地
氏 名	NECエレクトロニクス株式会社